

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-315545

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.⁵

H 0 1 L 27/04

識別記号

庁内整理番号

F I

技術表示箇所

E 8427-4M

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-119131

(22)出願日 平成4年(1992)5月12日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 栗本 雅弘

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

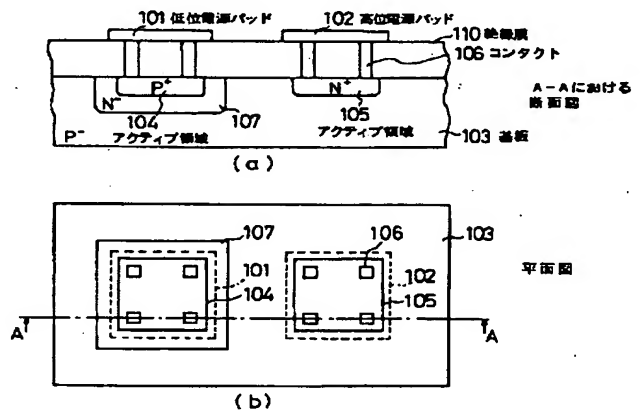
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 半導体装置における電源パッドの構造

(57)【要約】

【目的】 本発明は、半導体装置における電源パッドの構造に関するもので、電源ノイズを低減するための構造を提供することを目的とするものである。

【構成】 前記目的のために本発明は、電源パッド101、102の下部の半導体基板103にアクティブ領域104(107含む)、105を設け、前記電源パッド101、102とアクティブ領域104、105との間をコンタクト106で接続するようにしたものである。即ち、電源パッド部の容量を増加させてノイズを吸収させるものである。



本発明の実施例

1

【特許請求の範囲】

【請求項1】 半導体装置における電源パッドとしての金属プレートの下部の半導体基板に、アクティブ領域が設けられており、かつ該金属プレートとアクティブ領域とを導体で接続していることを特徴とする半導体装置における電源パッドの構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置における電源パッドに関するもので、電源ノイズを低減する構造を提供するものである。

【0002】

【従来の技術】 従来の半導体装置の電源パッドの構造を図2に模式的に示し以下に説明する。

【0003】 同図に示すように、半導体装置の電源パッドである金属プレート202、203は半導体基板201上に、一般に絶縁膜210（他の層が間にある場合もある）を介して設けられており、普通この金属プレート202、203はAlあるいはAl系合金である。また、この電源パッド202、203は片方、例えば202が低位電源（一般にグランドあるいは－電位）であり、もう一方この場合203が高位電源（＋）である。

【0004】 周知のように、この電源パッド202、203から半導体装置内部の電源線が配線されている。

【0005】

【発明が解決しようとする課題】 しかしながら、図2の構造では、相対的に電源線（電源としての配線）の容量が小さいために、電源線にノイズが生じやすいという問題点があった。

【0006】 一例として半導体基板がP型の場合で説明すると、一般的に基板201は、低位電源にバイアスされるため、低位電源パッド202と基板201との間には、容量が存在せず、一方高位電源パッド（金属プレート）203と基板201の間には金属プレートの面積S、金属プレートと基板201との距離d、及び両者を絶縁する絶縁膜210の比誘電率 ϵ 、真空の誘電率 ϵ_0 からきまる $C = S \epsilon \cdot \epsilon_0 / d$ という容量が存在するだけである。その値は通常の半導体集積回路においては、金属プレートの単位面積当り 3×10^{-5} （PF/ μ m²）程度である。

【0007】 図3は半導体集積回路における電源線と入出力バッファの関係を示したものであり、半導体集積回路中に構成された入力バッファ301や出力バッファ302は電源パッド303を通して外部電源304と接続されている。ところが一般的には、外部電源と電源パッド303を接続するパッケージのリードやワイヤ線が有するインダクタンス305及び半導体集積回路中に形成されるところの、電源パッド303と入力バッファ301、出力バッファ302を接続する電源線金属が有するインダクタンス306のために、これらの電源線にはノ

2

イズが発生する。その結果、ノイズの乗った電源線につながるバッファ301や302には、遅延時間の変動が引き起こされたり、あるいはそれらのバッファの出力ノードにノイズが発生したりして、誤動作を生じるという問題があった。

【0008】 この発明は、電源線の容量が相対的に小さいために、ノイズが発生しやすいという問題を除去するため、電源パッドの下部にアクティブ領域を形成することにより、半導体集積回路のチップサイズの増加を招かず、かつ製造プロセスにも何らの変更を必要とせず電源容量を増加させる電源パッドの構成を提供することを目的とする。

【0009】

【課題を解決するための手段】 この発明は前記目的のため、半導体集積回路における電源パッドの下にアクティブ領域を設けることで、接合容量による電源線容量を増加させ、電源ノイズを減らすようにしたものである。

【0010】

【作用】 前述したように本発明は、半導体装置における電源パッドの金属プレートの下部にアクティブ領域を設けたので、金属プレート単体で構成する電源パッド構造に比べて、電源線の容量が増加するため、電源線に発生するノイズが低減される。

【0011】

【実施例】 図1はこの発明の実施例を示すパッドの構造であり、電源パッドの金属プレート101、102の下部半導体基板103上（無論、その間に従来同様絶縁膜110が介在する）に、アクティブ領域104、105を設置し、前記金属プレート101、102とコンタクト106を通して接続したものである。

【0012】 今、従来例と同様に半導体基板103がP型の場合で説明する。低位電源パッド（金属プレート）101の下部にはP+型のアクティブ領域104を設置し、金属プレート101との間をコンタクト106で接続し、さらにP+アクティブ領域104を囲むようにN-ウェル領域107を設置し、高位電源にバイアスする。

【0013】 これにより、P+アクティブ領域104とN-ウェル領域107との間には空乏層による接合容量が生じる。その大きさは、アクティブ領域104の面積S、半導体基板の比誘電率 ϵ_{si} 、真空の誘電率 ϵ_0 、N-ウェル領域107の濃度N、電子の電荷量q、接合にかかる電圧Vとすれば、

【0014】

【数1】

$$C = S \sqrt{\frac{\epsilon_{si} \epsilon_0 q N}{2 V}}$$

【0015】 と表わされる。この値は通常の半導体集積回路の場合アクティブ領域の単位面積当り 3×10

10

20

30

40

50

3

-4 (PF/ μm^2) 程度であり、金属プレート単独の場合に比べて約10倍の値となる。

【0016】なお、前述のコンタクト106の形成は、絶縁膜110に通常の方法でコンタクトホールを形成してそこを金属プレート101、102と同じ金属（一般にはAlかAl合金）で埋め、金属プレート101、102と基板103を接続すればよい。またアクティブ領域104、105、107も通常の拡散法で形成する。

【0017】同様に、高位電源パッド（金属プレート）102の下部にはN⁺型のアクティブ領域105を設置し、やはり金属プレート102との間をコンタクト106で接続する。これによりN⁺アクティブ領域105とP型半導体基板103との間に接合容量が生じる。

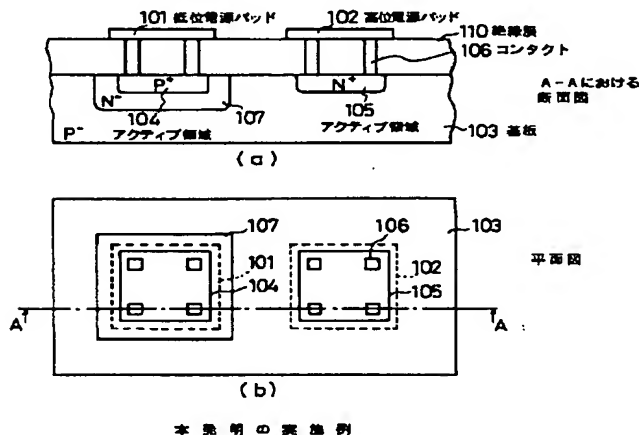
【0018】こうして生じた接合容量は、金属プレート単独によるパッド構造に比べて約10倍と大きいので、本実施例のパッド構造を用いた半導体集積回路は、その電源線のノイズを小さく押えることができる。

【0019】なお上記実施例は、半導体基板がP型の場合で説明したが、基板がN型の場合でも考え方は同じであり、高位電源パッド下部のN⁺アクティブ領域を囲むようにP⁻ウェル領域を設置し、低位電源レベルにバイアスすれば同じく接合容量が付加される。

【0020】さらに前記説明では、高位電源パッド、低位電源パッドの両者にアクティブ領域を付加する構造を示したが、どちらか一方の電源パッドだけに付加する構造としても電源線のノイズ低減という本発明の目的からははずれない。

【0021】また、アクティブ領域の設置方法について *

【図1】



本発明の実施例

4

*は、接合容量を付加するという主旨を満たしていれば種々の変形が可能である。すなわち、接合容量を増やすために、図4 (a) に示すように、アクティブ領域の形状を分割してもよいし、また図4 (b) のようにパッドの金属プレート領域から外へはみだすような形状にしてもよい。

【0022】

【発明の効果】以上、詳細に説明したように、この発明によれば、電源パッドの金属プレートの下部にアクティブ領域を設けたので、金属プレート単体で構成する電源パッド構造に比べて、電源線の容量が増加するため、電源線に発生するノイズが低減される。

【0023】また、電源パッド下部にアクティブ領域を設けるという構造のため、チップサイズの増大を招かず、また、プロセスの変更を必要としない。

【図面の簡単な説明】

【図1】本発明の実施例

【図2】従来例

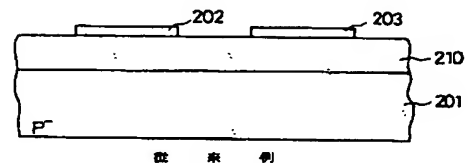
【図3】回路例

【図4】アクティブ領域の設置方法例

【符号の説明】

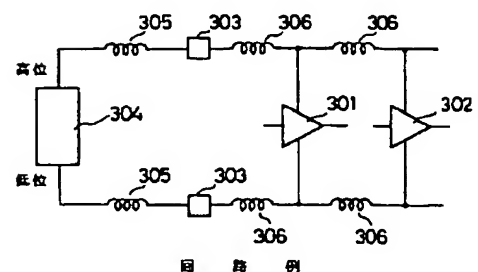
101 低位電源パッド
102 高位電源パッド
103 基板
104, 105 アクティブ領域
106 コンタクト
110 絶縁膜

【図2】



従来例

【図3】



回路例

【図 4】

